

## INTEGRATED CIRCUIT FOR RECORDING/REPRODUCTION PROCESSING

Patent Number: JP5211555

Publication date: 1993-08-20

Inventor(s): MATSUMOTO YOICHI

Applicant(s): NEC CORP

Requested Patent:  JP5211555

Application Number: JP19910315890 19911129

Priority Number(s):

IPC Classification: H04M1/65

EC Classification:

Equivalents:

### Abstract

PURPOSE: To attain battery backup at power failure by providing a silicon file which makes automatic refresh for each prescribed time when a memory keeps a waiting state for a prescribed time or over.

CONSTITUTION: Silicon files 41-48 and 51-58 are set to the usual refresh mode when a terminal RFSH is set to 'H' and set to the self refresh mode when the terminal RFSH is set to 'L'. Thus, in the power save state, a terminal SRF-0/1 is set to 'L' and terminals RAS2-RAS3 are set to the clock cycle of, e.g. 50kHz from a clock oscillator 20 respectively in a memory bank 5. Similarly, a terminal CAS-0/1 of a memory bank 4 is set to the usual refresh cycle and a terminal CAS-2/3 of the bank 5 is set to the high impedance state and then set to 'H' by a resistor R2. When the memory keeps the waiting state for processing time or over, the refreshing is implemented for each prescribed time by the silicon files 41-48 and 51-58.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-211555

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl.<sup>5</sup>

H 04 M 1/65

識別記号 庁内整理番号

A 7190-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全6頁)

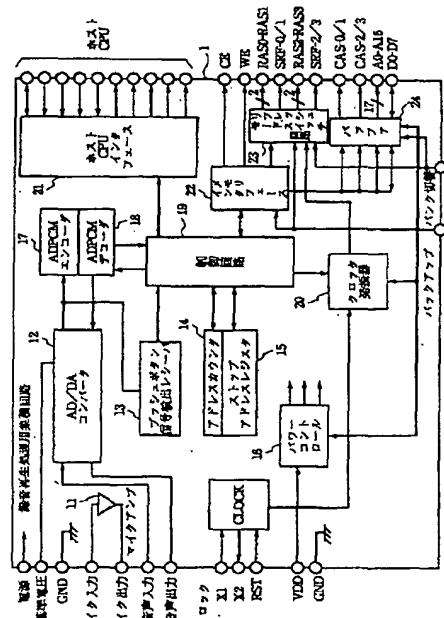
(21)出願番号	特願平3-315890	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)11月29日	(72)発明者	松本 洋一 東京都港区芝五丁目7番1号日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 録音再生処理用集積回路

(57)【要約】

【目的】停電時にバッテリバックアップ可能な固体録音装置を経済的に実現するため、セルフリフレッシュモードを有するダイナミックRAMであるシリコンファイルを直接使用できる録音再生処理用集積回路を提供する。

【構成】セルフリフレッシュクロック発生用のクロック発振器20を備える。通常リフレッシュモードとセルフリフレッシュモードとを切替るリフレッシュモードスイッチ回路23を備える。スイッチ制御回路19を備える。



1

## 【特許請求の範囲】

【請求項1】 外部メモリにメモリが一定時間以上待機状態を続けたとき一定間隔毎に自動的にリフレッシュ動作を行なうセルフリフレッシュモードを有するダイナミックRAMを備え、音声信号を符号化音声データとして前記外部メモリに格納し、前記外部メモリに格納した前記符号化音声データを読み出し復号化し再生する固体録音装置の録音再生処理用集積回路において、

前記ダイナミックRAMの前記セルフリフレッシュモード用のセルフリフレッシュクロック発生用の発振回路と、  
前記ダイナミックRAMのリフレッシュ動作を通常リフレッシュモードと前記セルフリフレッシュモードとを切替るスイッチ回路と、  
前記スイッチ回路を制御するスイッチ制御回路とを備えることを特徴とする録音再生処理用集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は録音再生処理用集積回路に関し、特に固体録音装置における録音再生の制御および外部メモリの制御に用いる録音再生処理用集積回路に関する。

## 【0002】

【従来の技術】 従来、留守番電話機のメッセージの録音用には、マイクロカセットテープレコーダが用いられていた。しかし、最近は、ICメモリの大容量化やビット当りコストの低価格化にともない、ICメモリにメッセージを録音する固体録音装置が登場し注目を浴びている。

【0003】 当初は録音できる時間が短かかったため、固体録音装置は、電話を受けた際の応答メッセージの発生が主な用途であったが、ICメモリの大容量化にともない、今後は伝言メッセージも固体録音化の方向にある。固体録音装置の最大の利点は、メッセージのランダムアクセスが可能になるとこと、機械式のマイクロカセットテープレコーダに比較して信頼度が大幅に向向上することである。

【0004】 特に留守番電話の場合には、外出先から電話のプッシュボタン信号を利用して留守番電話機を制御し、録音されたメッセージを聞くことが重要な機能であるが、このような場合に、メッセージのランダムアクセスができる固体録音装置を使用することは操作性が大幅に向向上するという利点がある。

【0005】 次に、この種の従来の固体録音装置の例を示す。

【0006】 図4は従来の録音再生処理用集積回路の一例を示すブロック図、図5は従来の録音再生処理用集積回路に外部メモリとしてROMやSRAMおよびDRAMを接続した固体録音装置の一例を示すブロック図である。

2

【0007】 従来の録音再生処理用集積回路6は、図3に示すように、マイクアンプ11と、AD/DAコンバータ12と、プッシュボタン信号検出レシーバ13と、アドレスカウンタ14と、ストップアドレスレジスタ15と、ADPCMエンコーダ17と、ADPCMデコーダ18と、制御回路69と、ホストCPUインターフェース21と、メモリインターフェース62とを備えて構成されていた。

【0008】 また、従来の固体録音装置は、図5に示すように、録音再生処理用集積回路6と、デコーダ7と、応答メッセージ録音用のメモリ8と、伝言メッセージ録音用のメモリバンク9とを備えて構成されていた。応答メッセージ録音用のメモリ8は、SRAMまたはROMである。伝言メッセージ録音用のメモリバンク9は、DRAM91~94を備えて構成されていた。

【0009】 次に、従来の録音再生処理用集積回路の動作について説明する。

【0010】 まず、録音は次のような手順で行なわれる。

【0011】 まず、マイクアンプ11により、増幅された音声信号はAD/DAコンバータ12によりPCMデータ化された後、ADPCMエンコーダ17で圧縮符号化され制御回路69およびメモリインターフェース62を介して図5に示す外部メモリの応答メッセージ録音用のメモリ8あるいは伝言メッセージ録音用のメモリバンク9に格納される。

【0012】 次に、再生は次のような手順で行なわれる。

【0013】 外部メモリのメモリ8あるいはメモリバンク9に格納されたデータは、メモリインターフェース62および制御回路69を通して入力され、ADPCMデコーダ18で復号化される。復号化されたPCMデータは、AD/DAコンバータ12によりアナログ音声信号に復号される。

【0014】 伝言メッセージを固体録音する場合には、停電時にデータが消失しないようにバッテリによるデータバックアップ、すなわちバッテリバックアップが必要である。バッテリバックアップを行なうためには、消費電力が少ないスタンチックRAM(SRAM)の使用が理想的である。しかし、SRAMはダイナミックRAM(DRAM)に比較すると非常に高価である。一方DRAMは安価ではあるが、リフレッシュが必要であるため消費電力が大きくバッテリバックアップには不向きという欠点がある。

【0015】 そこで、固体録音装置用に最適なメモリとしてセルフリフレッシュモードを備えたDRAMがある。これは、チップ内にタイマを持ち、メモリが一定時間以上待機状態を続けたとき、一定間隔毎に自動的にリフレッシュ動作を行なうものである。以降、シリコンファイアルと呼ぶ。

【0016】シリコンファイルは、一般のDRAMと同一のピン配置を有し、通常動作時には一般のDRAMと全く同様に取扱うことができる。また、シリコンファイルは基本的にDRAMであるため、価格も一般的のDRAMとほぼ同等である。1Mビットのシリコンファイルの製品例では、セルフリフレッシュ用端子をアクティブにすると、セルフリフレッシュモードに移行し、クロック入力端子に約50KHzのクロックを入力するだけでデータの保持が可能である。また、セルフリフレッシュ時の消費電力は最大30μAで、典型的には数μA程度である。したがって、非常に低消費電力であるためバッテリバックアップが容易である。

【0017】しかし、従来の録音再生処理用集積回路は、シリコンファイルを用いてセルフリフレッシュモードによるバッテリバックアップに対応するための、セルフリフレッシュモード制御回路や専用のクロック発生回路等の回路を備えていないというものであった。

#### 【0018】

【発明が解決しようとする課題】上述した従来の録音再生処理用集積回路は、SRAMまたは一般的のDRAMを外部メモリとして使用することを前提として設計されており、シリコンファイルを用いて、セルフリフレッシュモードによるバッテリバックアップに対応するには、セルフリフレッシュモード制御回路や専用のクロック発生回路等の外付け回路を必要とするという欠点があった。

#### 【0019】

【課題を解決するための手段】本発明の録音再生処理用集積回路は、外部メモリにメモリが一定時間以上待機状態を続けたとき一定間隔毎に自動的にリフレッシュ動作を行なうセルフリフレッシュモードを有するダイナミックRAMを備え、音声信号を符号化音声データとして前記外部メモリに格納し、前記外部メモリに格納した前記符号化音声データを読み出し復号化し再生する固体録音装置の録音再生処理用集積回路において、前記ダイナミックRAMの前記セルフリフレッシュモード用のセルフリフレッシュクロック発生用の発振回路と、前記ダイナミックRAMのリフレッシュ動作を通常リフレッシュモードと前記セルフリフレッシュモードとを切替るスイッチ回路と、前記スイッチ回路を制御するスイッチ制御回路とを備えて構成されている。

#### 【0020】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0021】図1は本発明の録音再生処理用集積回路の一実施例を示すブロック図である。

【0022】本実施例の録音再生処理用集積回路は、図1に示すように、マイクアンプ11と、AD/DAコンバータ12と、ブッシュボタン信号検出レシーバ13と、アドレスカウンタ14と、ストップアドレスレジスタ15と、パワーコントロール16と、ADPCMエン

コーダ17と、ADPCMデコーダ18と、制御回路19と、クロック発振器20と、ホストCPUインタフェース21と、メモリインターフェース22と、リフレッシュモードスイッチ回路23と、バッファ24とを備えて構成されている。なお、図4に示した従来の例と同一の番号の構成要素は同一の機能のものであることを示す。

【0023】図2は、本実施例の録音再生処理用集積回路1にシリコンファイルを備えた外部メモリを接続した固体録音装置の一例を示すブロック図である。

【0024】本実施例の固体録音装置は、図2に示すように、録音再生処理用集積回路1と、デコーダ2と、応答メッセージ録音用のメモリ3と、伝言メッセージ録音用のメモリバンク4、5とを備えて構成されている。メモリ2は、ROMである。メモリバンク4は、シリコンファイル41～48から構成されている。メモリバンク5は、シリコンファイル51～58から構成されている。

【0025】本実施例の録音再生処理用集積回路1は、従来例に比し、シリコンファイルのセルフリフレッシュを実現するために、セルフリフレッシュクロック発生用のクロック発振器20と、リフレッシュモードスイッチ回路23と、3ステートのバッファ24とを新たに備えている。また、録音再生処理用集積回路1の本体のパワーセーブを効率よく行なうため、パワーコントロール16を有する。また、固体録音装置としては、2パンクの伝言メッセージ録音用のメモリバンク4、5を備え、録音領域の拡大を実施している。

【0026】次に、本実施例の動作について説明する。

【0027】図3は、図1で示す本実施例の回路のタイムチャートである。

【0028】まず、外部メモリのメモリバンク1をアクティビティにし、メモリバンク2をパワーセーブ状態にする場合について説明する。

【0029】この場合、リフレッシュスイッチ回路23およびバッファ24の動作がそれぞれ設定され、端子RAS0-RAS1は通常のリフレッシュサイクルに、端子SRF-0/1は”H”レベルとなる。端子SRF-0/1はメモリバンク4の各シリコンファイル41～48のセルフリフレッシュ設定用の端子RFSHに接続されている。端子SRF-2/3はメモリバンク5の各シリコンファイル51～58のセルフリフレッシュ設定用の端子RFSHに接続されている。シリコンファイル41～48、51～58は、端子RFSHを”H”レベルにすると、通常リフレッシュモードに、また、”L”レベルにするとセルフリフレッシュモードになる。したがって、パワーセーブ状態にするメモリバンク5では、端子SRF-0/1を”L”レベルに、また、端子RAS2-RAS3はクロック発振器20による50KHzのクロックサイクルにそれぞれ設定される。同様に、メモリバンク4側の端子CAS-0/1は通常リフレッシュサブルに、メモリバンク5側の端子CAS-2/3は高

インピーダンス状態となり、ブルアップ用の抵抗R<sub>2</sub>により“H”状態となる。

【0030】ここで、メモリバンク4、5のリフレッシュモードを相互に切替るときは、上述と全く逆の端子設定が行なわれる。同時に、制御回路19と、メモリインターフェース回路22によりタイミング管理が行なわれる。

【0031】次に、全体をパワーセーブモードとし、バッテリによってメモリデータのバックアップを行なうときの動作について説明する。

【0032】パワーセーブモードを設定すると、まず、パワーコントロール16により、クロック発振器20と制御回路19と、メモリインターフェース22とリフレッシュモードスイッチ回路23とバッファ24とかなるメモリ制御部分とを除く他の不要部分の回路はパワーOFFとし、消費電流を大幅に低減する。次に、端子RAS0-RAS1とRAS2-RAS3はクロック発振器20による50KHzのクロックサイクルにそれぞれ設定される。端子SRF-0/1端子およびSRF-2/3は“L”レベルにそれぞれ設定される。端子CAS-0/1および端子CAS-2/3はそれぞれ高インピーダンス状態となり、ブルアップ用の抵抗R<sub>1</sub>、R<sub>2</sub>により“H”状態となる。したがって、メモリバンク4、5の全てのシリコンファイル41～48、51～58は、セルフリフレッシュモードとなり、大幅な消費電力の低減が可能となる。

### 【0033】

【発明の効果】以上説明したように、本発明の録音再生処理用集積回路は、セルフリフレッシュクロック発生用の発振回路と、通常リフレッシュモードとセルフリフレッシュモードとを切替るスイッチ回路と、スイッチ制御回路とを備えることにより、セルフリフレッシュモードを有するダイナミックRAM、すなわちシリコンファイルを外部の附加回路を設けることなく使用できるので、

停電時におけるバッテリバックアップが可能な固体録音装置を経済的に実現できるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の録音再生処理用集積回路の一実施例を示すブロック図である。

【図2】本実施例の録音再生処理用集積回路を用いた固体録音装置の一例を示すブロック図である。

【図3】本実施例の録音再生処理用集積回路における動作の一例を示すフローチャートである。

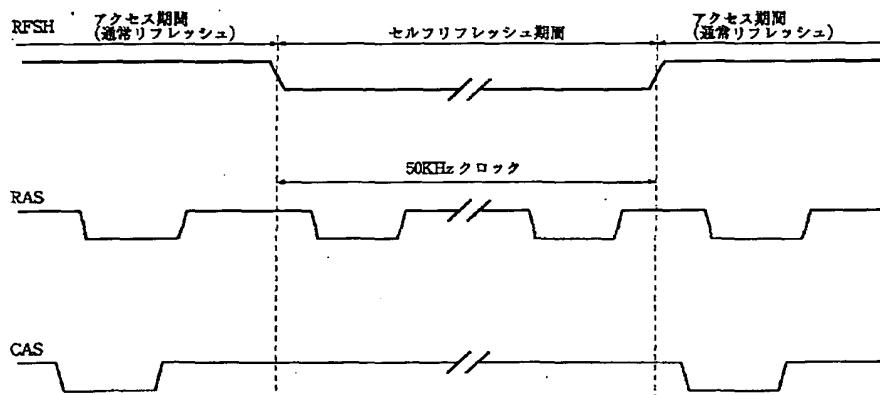
【図4】従来の録音再生処理用集積回路の一例を示すブロック図である。

【図5】従来の録音再生処理用集積回路を用いた固体録音装置の一例を示すブロック図である。

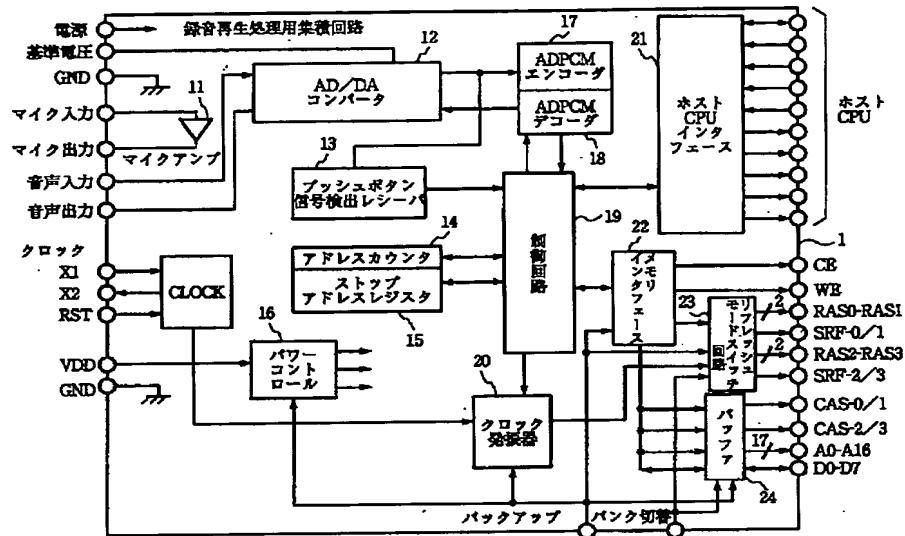
#### 【符号の説明】

- |              |                 |
|--------------|-----------------|
| 1, 6         | 録音再生処理用集積回路     |
| 2, 7         | デコーダ            |
| 3, 8         | メモリ             |
| 4, 5, 9      | メモリバンク          |
| 11           | マイクアンプ          |
| 12           | AD/DAコンバータ      |
| 13           | プッシュボタン信号検出レシーバ |
| 14           | アドレスカウンタ        |
| 15           | ストップアドレスレジスタ    |
| 16           | パワーコントロール       |
| 17           | ADPCMエンコーダ      |
| 18           | ADPCMデコーダ       |
| 19, 69       | 制御回路            |
| 20           | クロック発振器         |
| 21           | ホストCPUインターフェース  |
| 22, 62       | メモリインターフェース     |
| 23           | リフレッシュモードスイッチ回路 |
| 24           | バッファ            |
| 41～48, 51～58 | シリコンファイル        |
| 91～94        | DRAM            |

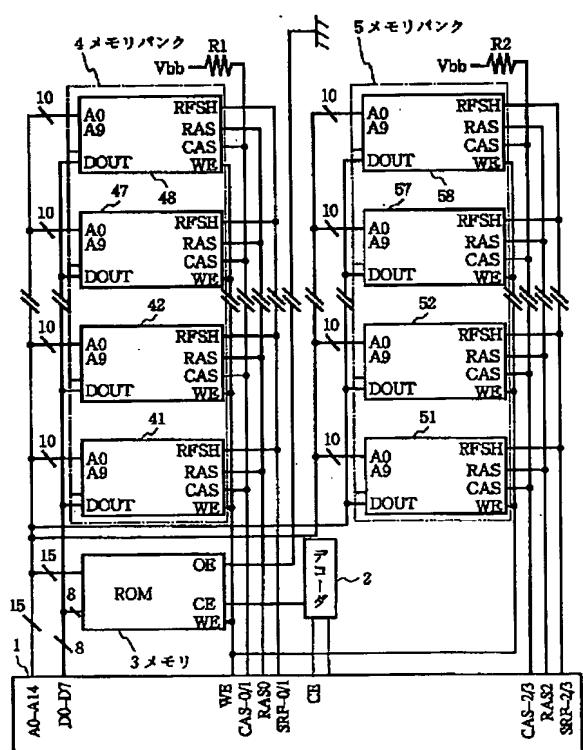
【図3】



【図1】

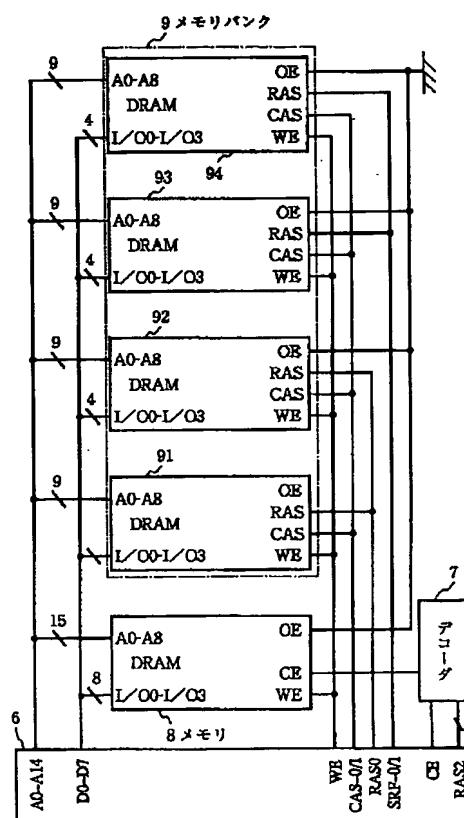


【図2】



41~48, 51~58: シリコンファイル

【図5】



【図4】

